

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-313129

(43)Date of publication of application : 26.11.1993

(51)Int.CI.

G02F 1/133
G02F 1/1345
G09G 3/36

(21)Application number : 04-114607

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.05.1992

(72)Inventor : MURAKAMI HIROSHI

HOSHIYA TAKAYUKI

ITOKAZU MASASHI

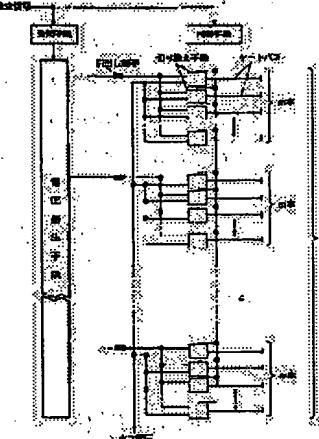
TAKAHARA KAZUHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a display of high resolution without greatly increasing number of scanning driver ICs by decreasing the number of scanning driver ICs and reducing the price.

CONSTITUTION: (n) Gate buses are divided into groups consisting of (m) buses. If n/m leaves a remainder, (r) remaining buses are put in one group and one lead-out terminal is provided for each group. This device is equipped with (m) or (r) switching means for each group which is placed in a 1st state wherein respective lead-out terminals and the gate buses in the group are connected or a 2nd state wherein a specific OFF voltage is applied to the gate buses in the same group, a control means which switch one of the switching means in each group to the 1st state in order, in synchronism with horizontal scanning periods, a frequency dividing means which generates a frequency divided signal having a period corresponding to (m) frequency division of the horizontal scanning periods, a voltage generating means which applies the specific ON voltage and an OFF voltage to one lead-out terminal in each group in order, in synchronism with the frequency division signal.



LEGAL STATUS

[Date of request for examination] 07.04.1998

[Date of sending the examiner's decision of rejection] 28.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal panel which makes the surplus number one group when n/m produces remainder, while dividing n gate buses into every m groups, and possesses one cash-drawer terminal per group, The 1st condition of connecting between each cash-drawer terminal and the gate buses in a group, Or m switch means per group by which it can take any in the 2nd condition of connecting between predetermined OFF state voltage and the gate buses in this group they are (however, the group of less than m gate buses less than m pieces), The control means which switches one of the switch means in each group to the 1st condition one by one synchronizing with a horizontal scanning period, The liquid crystal display characterized by having a dividing means to generate the dividing signal which has a period equivalent to m dividing of a horizontal scanning period, and an electrical-potential-difference generating means to impress predetermined ON state voltage and OFF state voltage to one cash-drawer terminal per said group one by one synchronizing with this dividing signal.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a liquid crystal display and the liquid crystal display which can simplify a configuration and can aim at price reduction especially.

[0002]

[Description of the Prior Art] Although the liquid crystal display is suitable as the personal computer of the features of being a low power and a thin light weight compared with the display of a CRT mold to a portable mold, or a display of various OA equipment, the present condition is that spread with it is obstructed. [a high price and] [more extensive than a CRT mold] Therefore, the useful circuit technique for price reduction is searched for.

[0003] Drawing 11 is the fundamental block diagram of a liquid crystal display. In this drawing, as for a liquid crystal panel and 2, 1 is [a data driver and 3] scanning drivers, and a liquid crystal panel 1

connects and constitutes a liquid crystal cell (illustration abbreviation) at each crossing of these buses while having the drain bus D and the gate bus G of an a large number book which were arranged in the shape of a matrix. The data driver 2 generates the gradation electrical potential difference according to an indicative data, synchronizes the electrical potential difference with a display clock, and is given to the drain bus D one by one. Moreover, the scanning driver 3 generates a predetermined binary electrical potential difference (the electrical potential difference which turns on / turns off a liquid crystal cell, the following, ON state voltage, and OFF state voltage), synchronizes the electrical potential difference with a horizontal scanning signal, and is given to the gate bus G one by one.

[0004] Therefore, a gradation electrical potential difference is written in the liquid crystal cell for one gate bus G (henceforth, selector-gate bus), i.e., one display line, by which ON state voltage was given through the drain bus D, and one screen is displayed by repeating this into all the gate buses G. In addition, the terminal for drain buses for Pd to pull out the drain bus D to the exterior of a liquid crystal panel 1 and Pg express the terminal for gate buses for pulling out the gate bus G to the exterior of a liquid crystal panel 1.

[0005]

[Problem(s) to be Solved by the Invention] However, if shown in this conventional liquid crystal display, since the output of the scanning driver 3 and the gate bus G were made to correspond by 1 to 1, there is a trouble that the scanning driver 3 is enlarged in proportion to the number of the gate bus G, and it had become the failure of price reduction of a liquid crystal display.

[0006] Generally, although a scanning driver is offered with an integrated circuit (henceforth, scan driver IC), there are many things with the output of 100 per IC to about 200. Therefore, since a number of scanning drivers IC which divided the total number of the gate bus G by the number of IC outputs of one piece are needed for a liquid crystal display, it becomes difficult to realize high resolution liquid crystal displays, such as VGA (Video Graphics Array) specification with many numbers of the gate bus G, by the low price especially.

[Objects of the Invention], then this invention aim at realizing a high resolution display by carrying out grouping of the gate bus at a time to two or more, and making each group and the output of a scanning driver correspond, without increasing sharply lessening the number of the scanning driver IC and attaining low-pricing, or the number of the scanning driver IC.

[0007]

[Means for Solving the Problem] As this invention is shown in drawing 1 in order to attain the above-mentioned purpose, the principle Fig. The liquid crystal panel which makes the surplus number one group when n/m produces remainder, while dividing n gate buses into every m groups, and possesses one cash-drawer terminal per group, The 1st condition of connecting between each cash-drawer terminal and the gate buses in a group, Or m switch means per group by which it can take any in the 2nd condition of connecting between predetermined OFF state voltage and the gate buses in this group they are (however, the group of less than m gate buses less than m pieces), The control means which switches one of the switch means in each group to the 1st condition one by one synchronizing with a horizontal scanning period, It is characterized by having a dividing means to generate the dividing signal which has a period equivalent to m dividing of a horizontal scanning period, and an electrical-potential-difference generating means to impress predetermined ON state voltage and OFF state voltage to one cash-drawer terminal per said group one by one synchronizing with this dividing signal.

[0008]

[Function] In this invention, the output of an electrical-potential-difference generating means is given per group of a gate bus. Therefore, since what is necessary is just to have an electrical-potential-difference generating means (namely, scanning driver) with little output of a n/m individual (+one n/m when [However] n/m produces remainder) to n gate buses, a high resolution display can be realized, without being able to lessen the number of the scanning driver IC, and being able to attain low-pricing, or increasing the number of the scanning driver IC sharply.

[0009]

[Example] Hereafter, the example of this invention is explained based on a drawing. Drawing 2 – drawing 5 are drawings showing one example of the liquid crystal display concerning this invention, and are an example in case n/m does not produce remainder. First, a configuration is explained. Setting to drawing 2, 10 is a liquid crystal panel and 11 is the horizontal scanning signal SH. It is the predetermined control signal SC synchronously. The control means to generate and 12 are the horizontal scanning signal SH. Dividing signal mSH carried out m dividing A dividing means to generate, and 13 are the dividing signal mSH. They are predetermined ON / OFF state voltage $V_1, \dots, V_{n/m}$ synchronously. It is the scanning driver (electrical-potential-difference generating means) generated one by one.

[0010] grouping of the liquid crystal panel 10 was carried out at a time to m — all — coming out — n gate buses G_1, G_2, \dots, G_n the drain bus and liquid crystal cell (refer to drawing 11) of a predetermined number — having — a gate bus — G_1 [for example,] from — G_m up to — the 1st group, .., $G_{n-(m-1)}$ from — G_n up to — the — it is divided into the n/m group. S_1 , and S_2, \dots, S_n are the switch means established at the one rate per gate bus, and each switch means is the control signal SC from a control means 11. It follows and which condition in the 1st condition of connecting between Input A and outputs OUT, or the 2nd condition of connecting between Input B and outputs OUT is taken.

[0011] In the input A of each connecting means, they are the cash-drawer terminal $P_1, \dots, P_{n/m}$. It minds and they are each output V_1 of the scanning driver 13, .., $V_{n/m}$. It is given and is the OFF-state-voltage terminal POFF in Input B. It minds and they are $V_1, \dots, V_{n/m}$. Fixed electrical-potential-difference VOFF' of OFF state voltage (0V) and this potential is given. Drawing 3 is an example of a configuration at the time of setting the gate bus number per group (m) to "2", and n/m , i.e., $n/2$ group, is formed in all in this example. The switch means $S_1 - S_n$ It is a control signal SC about two N-channel metal oxide semiconductor transistors T_{Na} and T_{Nb} which connected between Inputs A and B and an output OUT as shown in drawing 4. It is made ON/off-control by 2 bits (for the odd-numbered switch means, the switch means of SC0 and even [1 or]-numbered SC is SC2 and SC3).

[0012] Next, an operation is explained. Drawing 5 is the timing chart of drawing 3 . 4-bit control signal SC which makes 1 horizontal-scanning period (H) a half cycle Opposition, a bit SC 1, a bit SC 2, a bit SC 3, and a bit SC 0 have respectively a bit SC 0; a bit SC 1, a bit SC 2, and a bit SC 3 in phase. Therefore, a bit SC 0, a bit SC 1, and a bit SC 2 and Bit SC 3 change to two kinds, the combination of "H, L", and the combination of "L, H", at 1H spacing, respectively.

[0013] $V_1 - V_{n/2}$ While continuing the electrical potential difference (ON-state-voltage; for example, +5V) for making a liquid crystal cell turn on between $m \times H$ horizontal scanning signal SH the dividing signal carried out m dividing (namely, 2 dividing) — synchronizing — the location of the ON state voltage — V_1 from — $V_{n/2}$ It is made to shift one by one and is maintained between ON state voltage by the electrical potential difference (OFF-state-voltage; for example, 0V) for making a liquid crystal cell turn off.

(1) Here, it is SC. When SC0 and SC1 are the combination of "H, L" The odd-numbered switch means S_1, S_3, S_5, \dots will be in "the 1st condition", and, similarly the potential of V_i (i is 1, 2, .. $n/2$) of the same group at that time will be given to the odd-numbered gate bus G_1, G_3, G_5, \dots if its attention is paid to the 1st group — this group's odd-numbered gate bus $G_1 **** - V_1$ of the same group Potential (ON state voltage/OFF state voltage) is given.

(2) Moreover, SC When SC0 and SC1 are the combination of "L, H", the odd-numbered switch means S_1, S_3, S_5, \dots will be in "the 2nd condition", and fixed electrical-potential-difference VOFF' which is similarly equivalent to OFF state voltage at the odd-numbered gate bus G_1, G_3, G_5, \dots will be given.

(3) Moreover, SC When SC2 and SC3 are the combination of "H, L" The even-numbered switch means S_2, S_4, S_6, \dots will be in "the 1st condition", and, similarly the potential of V_i (i is 1, 2, .. $n/2$) of the same group at that time will be given to the even-numbered gate bus G_2, G_4, G_6, \dots if its attention is paid to the 1st group — this group's even-numbered gate bus $G_2 **** - V_1$ of the same group Potential (ON state voltage/OFF state voltage) is given.

(4) Moreover, SC When SC2 and SC3 are the combination of "L, H", the even-numbered switch means S2, S4, S6, and will be in "the 2nd condition", and fixed electrical-potential-difference VOFF' which is similarly equivalent to OFF state voltage at the even-numbered gate bus G2, G4, G6, and .. will be given. [0014] As mentioned above, according to this example, it is a control signal SC. While following, choosing the gate bus in each group one by one and giving one output (V_i) of the scanning driver 13 to the selector-gate bus concerned Since fixed electrical-potential-difference VOFF' was given to the remaining non-selector-gate bus, the number of outputs of the scanning driver 13 is made to n/m of the number (n) of a gate bus, for example, since it is $m=2$, in the example of drawing 3, it can be halved with $n/2$.

[0015] Therefore, the number of the scanning bus IC can be reduced and low-pricing can be attained. Or a high resolution liquid crystal display can be realized, without increasing the scanning bus IC sharply. In addition, drawing 6 is the modification of drawing 3 and is a control signal SC. It is the example which reverses 2 bits (SC0 and SC1) at the inverter gates 20 and 21, and generated the remaining 2 bits (SC2, SC3). The inverter gates 20 and 21 can consist of an N-channel metal oxide semiconductor transistor Tc and a load component R, as shown in drawing 7.

[0016] Drawing 8 – drawing 9 are the examples which considered the odd-numbered switch means (representing S11) and the even-numbered switch means (representing S12) as another configuration. For drawing 9 (a), it is the block diagram of the odd-numbered switch means S11, this drawing (b) is a block diagram of the even-numbered switch means S12, and the former is the N-channel metal oxide semiconductor transistor Te to Input A side. While preparing, it is P channel MOS transistor Tf to Input B side. The thing and the latter which were prepared are P channel MOS transistor Tg to Input A side in this reverse. It is the N-channel metal oxide semiconductor transistor Th to Input B side. It is made to prepare. According to such a configuration, it is the 1-bit control signal SC. Switch actuation is controllable. In addition, a switch means may be constituted like drawing 10. That is, as are shown in drawing 10 $R > 0$ (a), and a resistance element R11 is used instead of a P channel MOS transistor, and the odd-numbered switch means S11 may be constituted and it is shown in drawing 10 (b), a resistance element R12 may be used instead of an N-channel metal oxide semiconductor transistor, and the even-numbered switch means S12 may be constituted.

[0017] It switches into a liquid crystal panel and a means is made from each above-mentioned example. Although it is because the switching device in a panel (MOS transistor) is diverted and switched and a means can be constituted, this is not restricted to this, and may be made to a scanning driver, or may be constituted separately.

[0018]

[Effect of the Invention] Since it carries out grouping of the gate bus at a time to two or more and was made to make each group and the output of a scanning driver correspond according to this invention, a high resolution display can be realized without being able to lessen the number of the scanning driver IC, and being able to attain low-pricing, or increasing the number of the scanning driver IC sharply.

[Translation done.]

* NOTICES *

JPO and NCIPRI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the principle Fig. of this invention.

[Drawing 2] It is the block diagram of one example.

[Drawing 3] It is the block diagram of an important section including the switch means of one example.

[Drawing 4] It is the block diagram of the switch means of one example.

[Drawing 5] It is the timing chart of drawing 3 of operation.

[Drawing 6] They are other block diagrams of one example.

[Drawing 7] It is the block diagram of the inverter gate.

[Drawing 8] It is the block diagram of further others of one example.

[Drawing 9] It is the block diagram of a switch means to use it for drawing 8.

[Drawing 10] They are other block diagrams of a switch means to use it for drawing 8.

[Drawing 11] It is the fundamental block diagram of a liquid crystal display.

[Description of Notations]

G1 - Gn : Gate bus

mSH : dividing signal

P1 - Pn/m : Cash-drawer terminal

S1 - Sn : Switch means

V1 - Vn/m : ON/OFF state voltage

10: Liquid crystal panel

11: Control means

12: Dividing means

13: A scanning driver (electrical-potential-difference generating means)

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-313129

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵

G 0 2 F 1/133

1/1345

G 0 9 G 3/36

識別記号

5 2 0

7319-5G

府内整理番号

7820-2K

9018-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全10頁)

(21)出願番号 特願平4-114607

(22)出願日 平成4年(1992)5月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 村上 浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 星屋 隆之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 糸数 昌史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

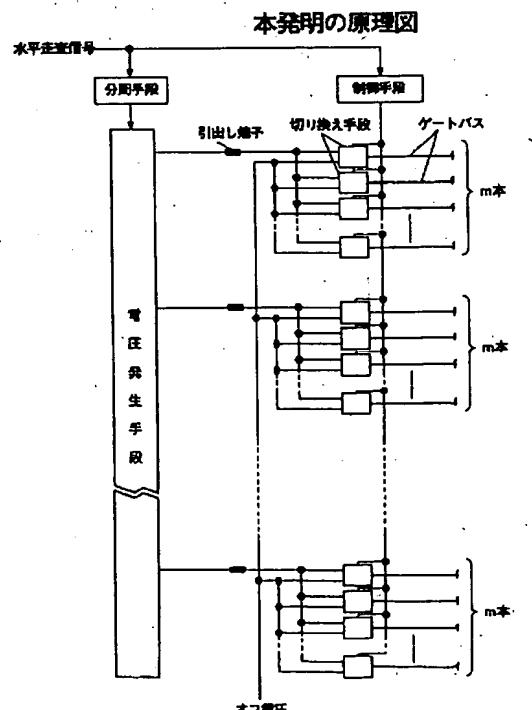
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【目的】スキャンドライバICの個数を少なくして低価格化を図り、スキャンドライバICの個数を大幅に増やすことなく高解像度表示を実現する。

【構成】n本のゲートバスをm本ずつのグループに分ける。 n/m が余りを生じた場合は余ったr本を1つのグループとし、1グループ当たり1個の引出し端子を与える。各引出し端子とグループ内のゲートバスとを接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとを接続する第2の状態の何れかを取る1グループ当たりm個またはr個の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期のm分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備える。



(2)

2

【特許請求の範囲】

【請求項1】 n 本のゲートバスを m 本ずつのグループに分けるとともに n/m が余りを生じる場合には余った本数を1つのグループとし、1グループ当たり1個の引出し端子を具備する液晶パネルと、各引出し端子とグループ内のゲートバスとの間を接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとの間を接続する第2の状態の何れかを取り得る1グループ当たり m 個（但し、ゲートバス m 本未満のグループは m 個未満）の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期の m 分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、特に、構成を簡素化して価格低減を図ることができる液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、CRT型の表示装置に比べて低消費電力、薄型軽量であるといった特長から、可搬型のパソコン用コンピュータや各種OA機器の表示装置として好適であるが、CRT型よりも価格が高く広範な普及が阻まれているのが現状である。従って、価格低減のための有用な回路技術が求められている。

【0003】図1-1は液晶表示装置の基本的なブロック図である。この図において、1は液晶パネル、2はデータドライバ、3はスキャンドライバであり、液晶パネル1は、マトリクス状に配列された多数本のドレインバスDやゲートバスGを有すると共に、これらバスの各交差点に液晶セル（図示略）を接続して構成する。データドライバ2は、表示データに応じた階調電圧を発生し、その電圧を表示クロックに同期させて順次にドレインバスDに与える。また、スキャンドライバ3は、所定の二値電圧（液晶セルをオン／オフする電圧、以下、オン電圧とオフ電圧）を発生し、その電圧を水平走査信号に同期させて順次にゲートバスGに与える。

【0004】従って、オン電圧が与えられた1本のゲートバスG（以下、選択ゲートバス）、すなわち1表示行分の液晶セルにドレインバスDを介して階調電圧が書き込まれ、これを全てのゲートバスGに繰り返すことによって1画面が表示される。なお、PdはドレインバスDを液晶パネル1の外部に引き出すためのドレインバス用端子、PgはゲートバスGを液晶パネル1の外部に引き出すためのゲートバス用端子を表している。

【0005】

【発明が解決しようとする課題】しかしながら、かかる従来の液晶表示装置にあっては、スキャンドライバ3の出力とゲートバスGとを1対1で対応させていたため、ゲートバスGの本数に比例してスキャンドライバ3が大型化するといった問題点があり、液晶表示装置の価格低減の障害となっていた。

【0006】一般に、スキャンドライバは集積回路（以下、スキャンドライバIC）で提供されるが、1個のIC当たり100本から200本程度の出力を持つものが多い。従って、液晶表示装置には、ゲートバスGの総本数を1個のIC出力数で割った数のスキャンドライバICが必要になるから、特に、ゲートバスGの本数が多いVGA（Video Graphics Array）規格等の高解像度液晶表示装置を低価格で実現することが困難になる。

【目的】そこで、本発明は、ゲートバスを複数本ずつにグループ化し、各グループとスキャンドライバの出力とを対応させることにより、スキャンドライバICの個数を少なくして低価格化を図ること、あるいは、スキャンドライバICの個数を大幅に増やすことなく高解像度表示を実現することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するためその原理図を図1に示すように、 n 本のゲートバスを m 本ずつのグループに分けるとともに n/m が余りを生じる場合には余った本数を1つのグループとし、1グループ当たり1個の引出し端子を具備する液晶パネルと、各引出し端子とグループ内のゲートバスとの間を接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとの間を接続する第2の状態の何れかを取り得る1グループ当たり m 個（但し、ゲートバス m 本未満のグループは m 個未満）の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期の m 分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備えたことを特徴とする。

【0008】

【作用】本発明では、ゲートバスのグループ単位に電圧発生手段の出力が与えられる。従って、 n 本のゲートバスに対し、 n/m 個（但し、 n/m が余りを生じる場合には $n/m+1$ 個）の少ない出力を持つ電圧発生手段（すなわちスキャンドライバ）を備えればよいから、スキャンドライバICの個数を少なくして低価格化を図ることができ、あるいは、スキャンドライバICの個数を大幅に増やすことなく高解像度表示を実現することができる。

【0009】

(3)

3

【実施例】以下、本発明の実施例を図面に基づいて説明する。図2～図5は本発明に係る液晶表示装置の一実施例を示す図であり、 n/m が余りを生じない場合の例である。まず、構成を説明する。図2において、10は液晶パネル、11は水平走査信号 S_H に同期して所定の制御信号 S_C を発生する制御手段、12は水平走査信号 S_H を m 分周した分周信号 mS_H を生成する分周手段、13は分周信号 mS_H に同期して所定のオン／オフ電圧 V_1 、……、 $V_{n/m}$ を順次に発生するスキャンドライバ(電圧発生手段)である。

【0010】液晶パネル10は、 m 本ずつにグループ化された全部で n 本のゲートバス G_1 、 G_2 、……、 G_n と、所定数のドレインバス及び液晶セル(図11参照)を備え、ゲートバスは、例えば、 G_1 から G_m までの第1グループ、……、 $G_{n-(m-1)}$ から G_n までの第 n/m グループに分けられている。 S_1 、 S_2 、……、 S_n はゲートバス1本につき1個の割で設けられた切り換え手段であり、それぞれの切り換え手段は、制御手段11からの制御信号 S_C に従って、入力Aと出力OUTの間を接続する第1の状態、または、入力Bと出力OUTの間を接続する第2の状態の何れかの状態をとる。

【0011】各々の接続手段の入力Aには、引出し端子 P_1 、……、 $P_{n/m}$ を介してスキャンドライバ13の各出力 V_1 、……、 $V_{n/m}$ が与えられ、また、入力Bにはオフ電圧端子 P_{OFF} を介して、 V_1 、……、 $V_{n/m}$ のオフ電圧(0V)と同電位の一定電圧 $V_{OFF'}$ が与えられている。図3は、1グループ当たりのゲートバス本数

(m)を「2」とした場合の構成例であり、この例では全部で n/m 、すなわち $n/2$ 個のグループが形成される。切り換え手段 S_1 ～ S_n は、図4に示すように、入力A、Bと出力OUTの間に接続した2個のNチャネルMOSトランジスタ T_{Na} 、 T_{Nb} を、制御信号 S_C の2ビット(奇数番目の切り換え手段は S_{C0} 、 S_{C1} 、偶数番目の切り換え手段は S_{C2} 、 S_{C3})でオン／オフコントロールするようになっている。

【0012】次に、作用を説明する。図5は、図3のタイミングチャートである。1水平走査期間(H)を半サイクルとする4ビットの制御信号 S_C は、ビット S_{C0} とビット S_{C1} 、ビット S_{C2} とビット S_{C3} がそれぞれ逆相、ビット S_{C1} とビット S_{C2} 、ビット S_{C3} とビット S_{C0} がそれぞれ同相である。従って、ビット S_{C0} とビット S_{C1} 、及び、ビット S_{C2} とビット S_{C3} は、それぞれ「H、L」の組み合せと「L、H」の組み合せの2通りに1H間隔で変化する。

【0013】 V_1 ～ $V_{n/2}$ は、液晶セルをオンさせるための電圧(オン電圧；例えば+5V)を $m \times H$ の間継続すると共に、水平走査信号 S_H を m 分周(すなわち2分周)した分周信号に同期して、そのオン電圧の位置を V_1 から $V_{n/2}$ へと順次にシフトさせていくもので、オン電圧とオフ電圧の間は、液晶セルをオフさせるための電

圧(オフ電圧；例えば0V)に維持されている。

(1) ここで、 S_C の S_{C0} と S_{C1} が「H、L」の組み合せのときには、奇数番目の切り換え手段 S_1 、 S_3 、 S_5 、……が「第1の状態」となり、同じく奇数番目のゲートバス G_1 、 G_3 、 G_5 、……に、そのときの同一グループの V_i (iは1、2、…… $n/2$)の電位が与えられる。例えば、第1グループに着目すると、同グループの奇数番目のゲートバス G_1 には、同一グループの V_1 の電位(オン電圧／オフ電圧)が与えられる。

10 (2) また、 S_C の S_{C0} と S_{C1} が「L、H」の組み合せのときには、奇数番目の切り換え手段 S_1 、 S_3 、 S_5 、……が「第2の状態」となり、同じく奇数番目のゲートバス G_1 、 G_3 、 G_5 、……に、オフ電圧に相当する一定電圧 $V_{OFF'}$ が与えられる。

20 (3) また、 S_C の S_{C2} と S_{C3} が「H、L」の組み合せのときには、偶数番目の切り換え手段 S_2 、 S_4 、 S_6 、……が「第1の状態」となり、同じく偶数番目のゲートバス G_2 、 G_4 、 G_6 、……に、そのときの同一グループの V_i (iは1、2、…… $n/2$)の電位が与えられる。例えば、第1グループに着目すると、同グループの偶数番目のゲートバス G_2 には、同一グループの V_1 の電位(オン電圧／オフ電圧)が与えられる。

30 (4) また、 S_C の S_{C2} と S_{C3} が「L、H」の組み合せのときには、偶数番目の切り換え手段 S_2 、 S_4 、 S_6 、……が「第2の状態」となり、同じく偶数番目のゲートバス G_2 、 G_4 、 G_6 、……に、オフ電圧に相当する一定電圧 $V_{OFF'}$ が与えられる。

【0014】以上のように、本実施例によれば、制御信号 S_C に従って各グループ内のゲートバスを順次に選択し、当該選択ゲートバスにスキャンドライバ13の1つの出力(V_i)を与えると共に、残りの非選択ゲートバスに一定電圧 $V_{OFF'}$ を与えるようにしたので、スキャンドライバ13の出力数をゲートバスの本数(n)の n/m にでき、例えば図3の例では $m=2$ であるから $n/2$ と半減することができる。

【0015】従って、スキャンバスICの個数を減らすことができ、低価格化を図ることができる。あるいは、スキャンバスICを大幅に増やすことなく高解像度液晶表示装置を実現することができる。なお、図6は、図3の変形例であり、制御信号 S_C の2ビット(S_{C0} と S_{C1})をインバータゲート20、21で反転して残りの2ビット(S_{C2} 、 S_{C3})を生成するようにした例である。インバータゲート20、21は、例えば図7に示すように、NチャネルMOSトランジスタ T_c と負荷素子Rで構成できる。

【0016】図8～図9は、奇数番目の切り換え手段(代表して S_{11})と偶数番目の切り換え手段(代表して S_{12})を別の構成とした例である。図9(a)は奇数番目の切り換え手段 S_{11} の構成図、同図(b)は偶数番目の切り換え手段 S_{12} の構成図であり、前者は入力A側に

(4)

5

NチャネルMOSトランジスタ T_e を設けると共に入力B側にPチャネルMOSトランジスタ T_f を設けるようにしたもの、後者はこの逆に入力A側にPチャネルMOSトランジスタ T_g を入力B側にNチャネルMOSトランジスタ T_h を設けるようにしたものである。このような構成によれば、1ビットの制御信号 S_C で切り換え動作をコントロールすることができる。なお、切り換え手段は、図10のように構成してもよい。すなわち、図10(a)に示すように、PチャネルMOSトランジスタの代わりに抵抗素子 R_{11} を用いて奇数番目の切り換え手段 S_{11} を構成してもよく、また、図10(b)に示すように、NチャネルMOSトランジスタの代わりに抵抗素子 R_{12} を用いて偶数番目の切り換え手段 S_{12} を構成してもよい。

【0017】上記の各実施例では、液晶パネル内に切り換え手段を作り込むようしている。これは、パネル内のスイッチ素子(MOSトランジスタ)を流用して切り換え手段を構成できるからであるが、これに限るものではなく、スキャンドライバに作り込んでもよいし、あるいは、別個に構成してもよい。

【0018】

【発明の効果】本発明によれば、ゲートバスを複数本ずつにグループ化し、各グループとスキャンドライバの出力を対応させるようにしたので、スキャンドライバICの個数を少なくして低価格化を図ることができ、あるいは、スキャンドライバICの個数を大幅に増やすこと

なく高解像度表示を実現することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】一実施例の構成図である。

【図3】一実施例の切り換え手段を含む要部の構成図である。

【図4】一実施例の切り換え手段の構成図である。

【図5】図3の動作タイミングチャートである。

【図6】一実施例の他の構成図である。

【図7】インバータゲートの構成図である。

【図8】一実施例のさらに他の構成図である。

【図9】図8に使用する切り換え手段の構成図である。

【図10】図8に使用する切り換え手段の他の構成図である。

【図11】液晶表示装置の基本的なブロック図である。

【符号の説明】

$G_1 \sim G_n$: ゲートバス

mS_H : 分周信号

$P_1 \sim P_{n/m}$: 引出し端子

20 $S_1 \sim S_n$: 切り換え手段

$V_1 \sim V_{n/m}$: オン／オフ電圧

10 : 液晶パネル

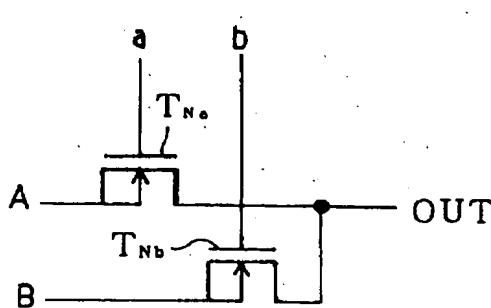
11 : 制御手段

12 : 分周手段

13 : スキャンドライバ (電圧発生手段)

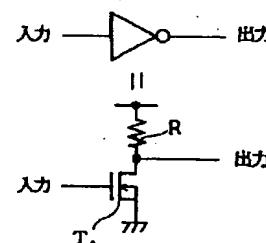
【図4】

一実施例の切り換え手段の構成図



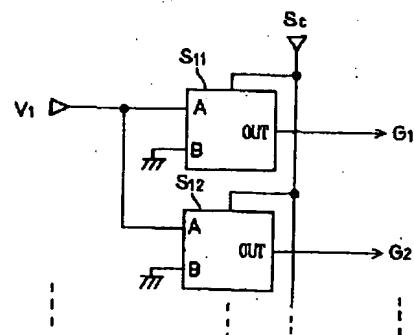
【図7】

インバータゲートの構成図



【図8】

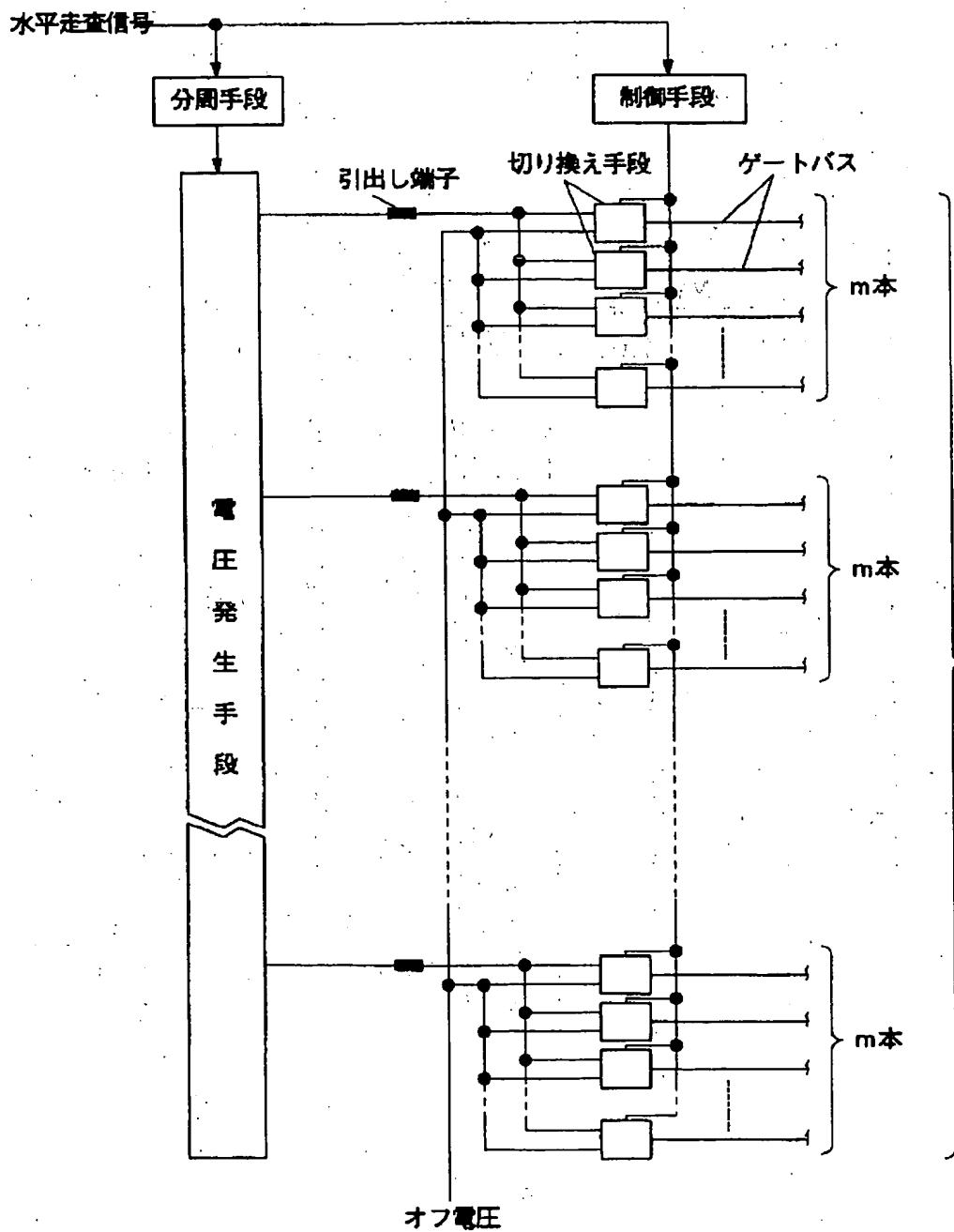
一実施例のさらに他の構成図



(5)

【図1】

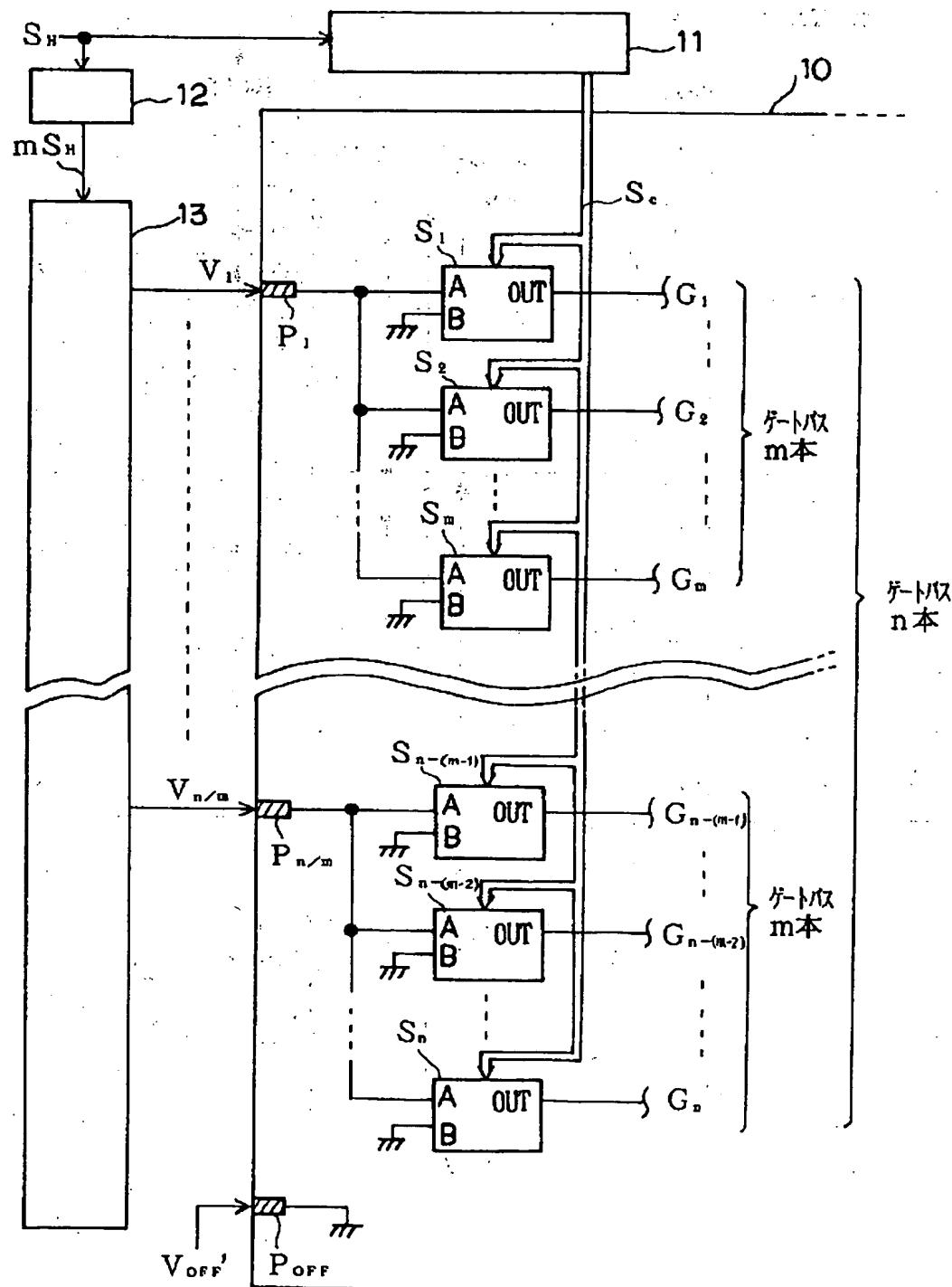
本発明の原理図



(6)

【図2】

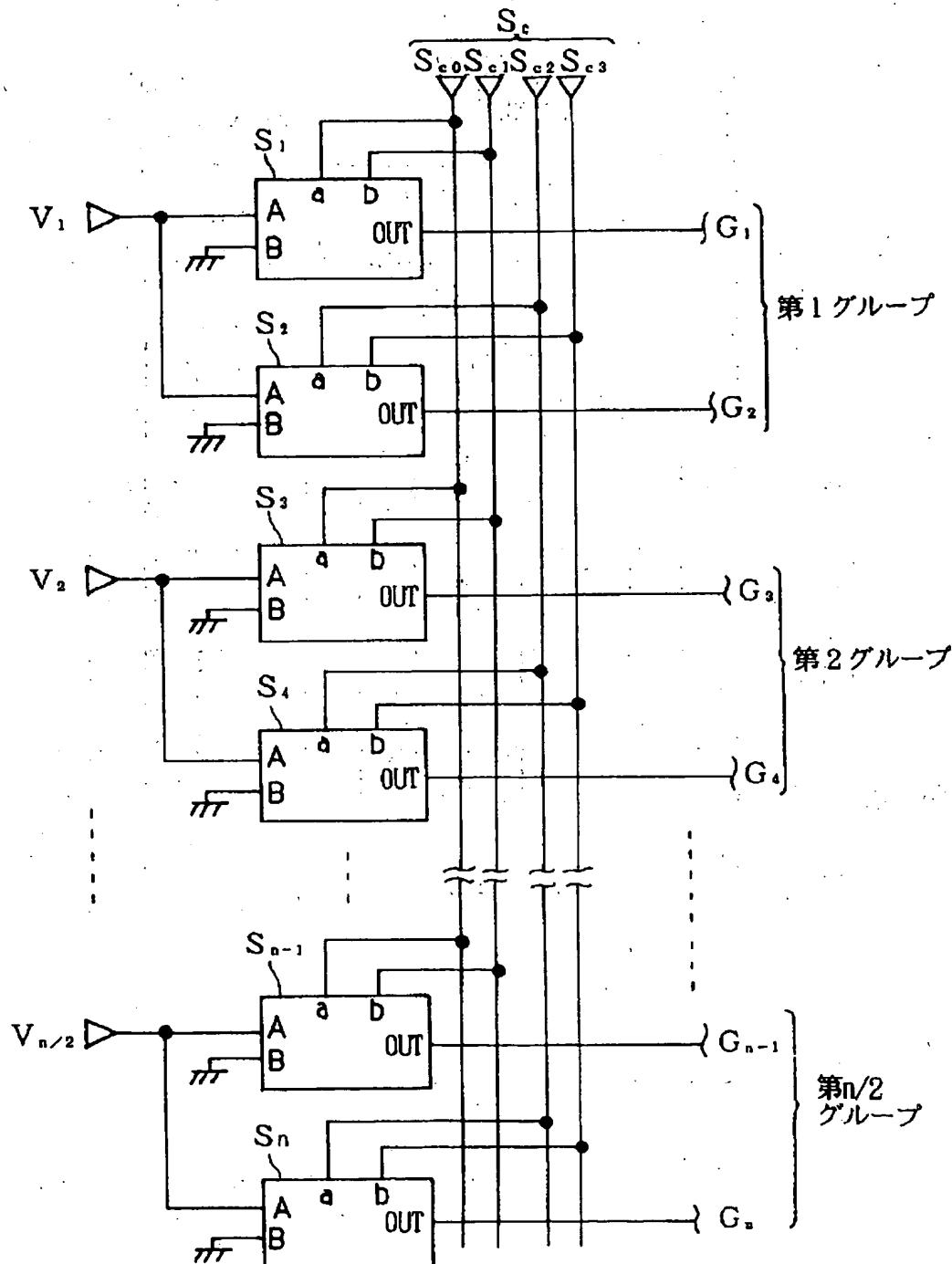
一実施例の構成図



(7)

【図3】

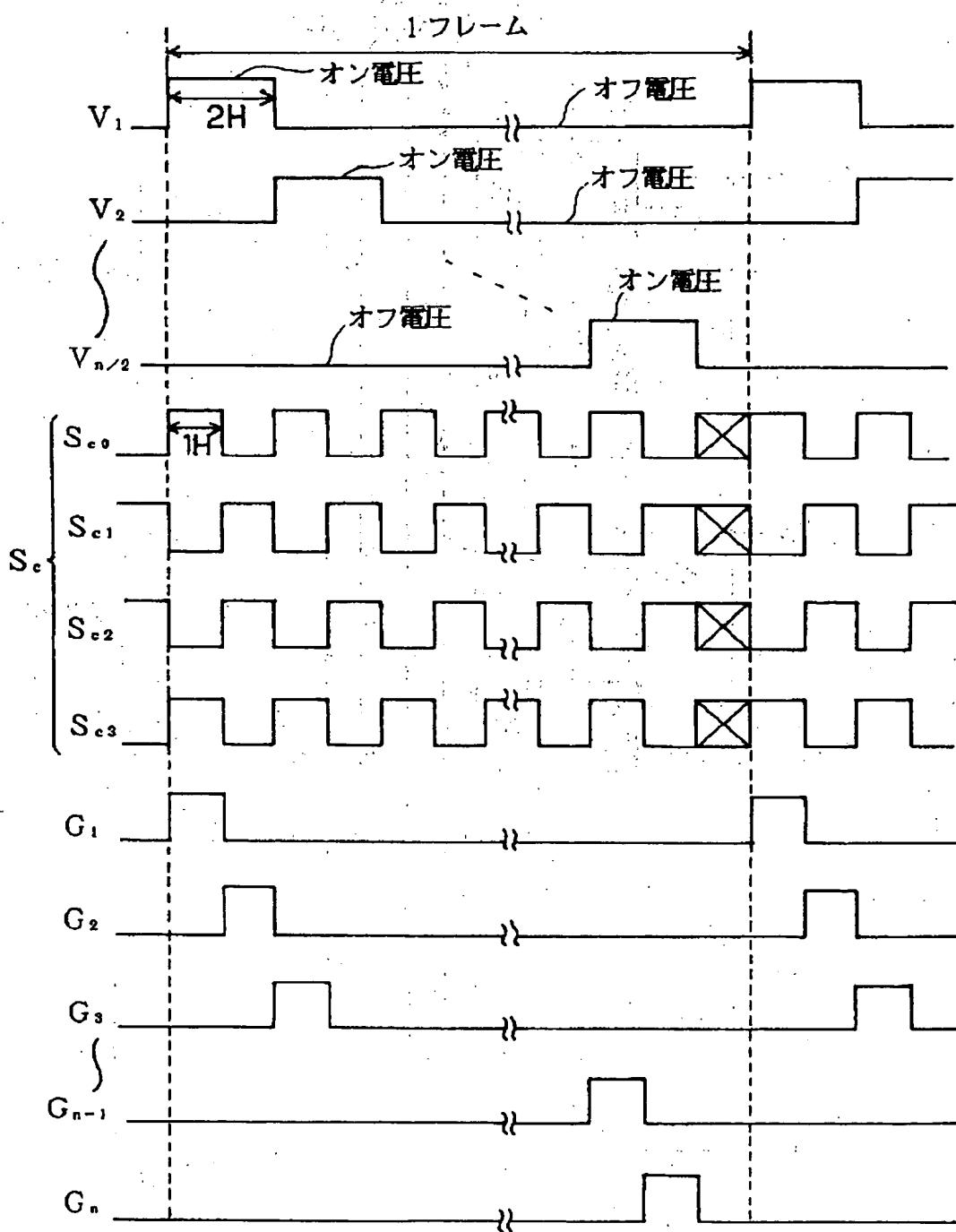
一実施例の切り換え手段を含む要部の構成図



(8)

【図5】

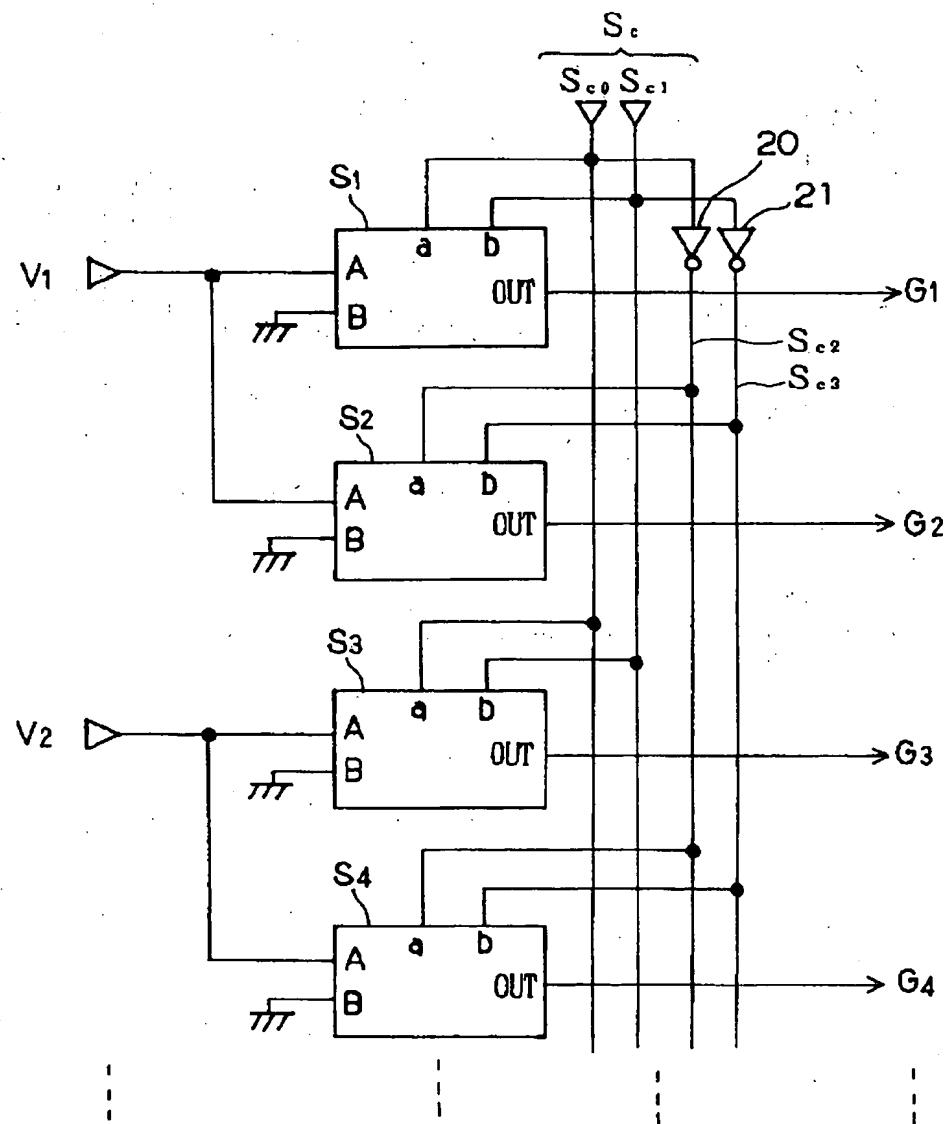
図3の動作タイミングチャート



(9)

【図6】

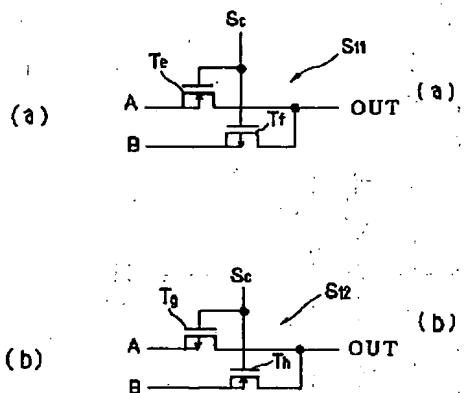
実施例の他の構成図



(10)

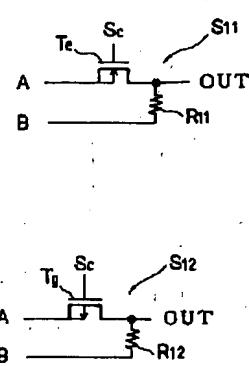
【図 9】

図 8 に使用する切り換え手段の構成図



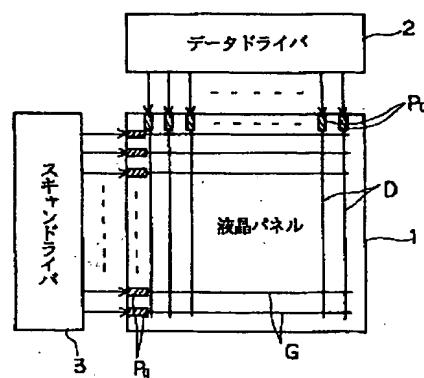
【図 1.0】

図 8 に使用する切り換え手段の他の構成図



【図 1.1】

液晶表示装置の基本的なブロック図



フロントページの続き

(72)発明者 高原 和博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内